

FET

Fetlerin Yapısı

NPN ve PNP tipi olarak adlandırılan klasik tip transistörler (İki Kutuplu Jonksiyon Transistör - BJT) alçak giriş empedansına sahiptirler. BJT 'ler, hem elektron akımı hem de delik (boşluk) akımının kullanıldığı akım kontrollü elemanlardır.

FET (Field Effect Transistör - Alan Etkili Transistör) ise yüksek giriş empedansına sahip, tek kutuplu, gerilim kontrollü bir elemandır. Elektrik alanı prensiplerine göre çalıştığından alan etkili transistörler olarak bilinir. FET 'ler, transistörlerin kullanıldığı yerlerde rahatlıkla kullanılabilir.

FET 'lerin klasik transistörlere (BJT) göre üstünlükleri şöyle sıralanabilir:

Giriş empedansları daha yüksektir. (BJT 'de $2K\Omega$ iken FET 'lerde yaklaşık $100M\Omega$ 'dur.)

Anahtar olarak kullanıldığında, sapma gerilimi yoktur.

Radyasyon (yayınım) etkisi yoktur.

BJT 'lere nazaran daha az gürültülüdür.

Isısal değişimlerden etkilenmezler.

BJT 'lere göre daha küçüktür. Bu nedenle entegrelerde daha fazla kullanılırlar.

Yüksek giriş empedansı ve alçak elektrodlar arası kapasitans özelliği ile yüksek frekans devrelerinde rahatlıkla kullanılırlar.

BJT 'lere göre sakıncası ise band genişliklerinin dar olması ve çabuk hasar görebilmesidir.

Alan etkili transistörler (FET) iki ana gruba ayrılır:

JFET (Junction Field Effect Transistor, Eklem Alan Etkili Transistör)

MOSFET (Metal Oxide Semiconductor Field Effect Transistör, Metal Oksit Yarı İletken Alan Etkili Transistör)

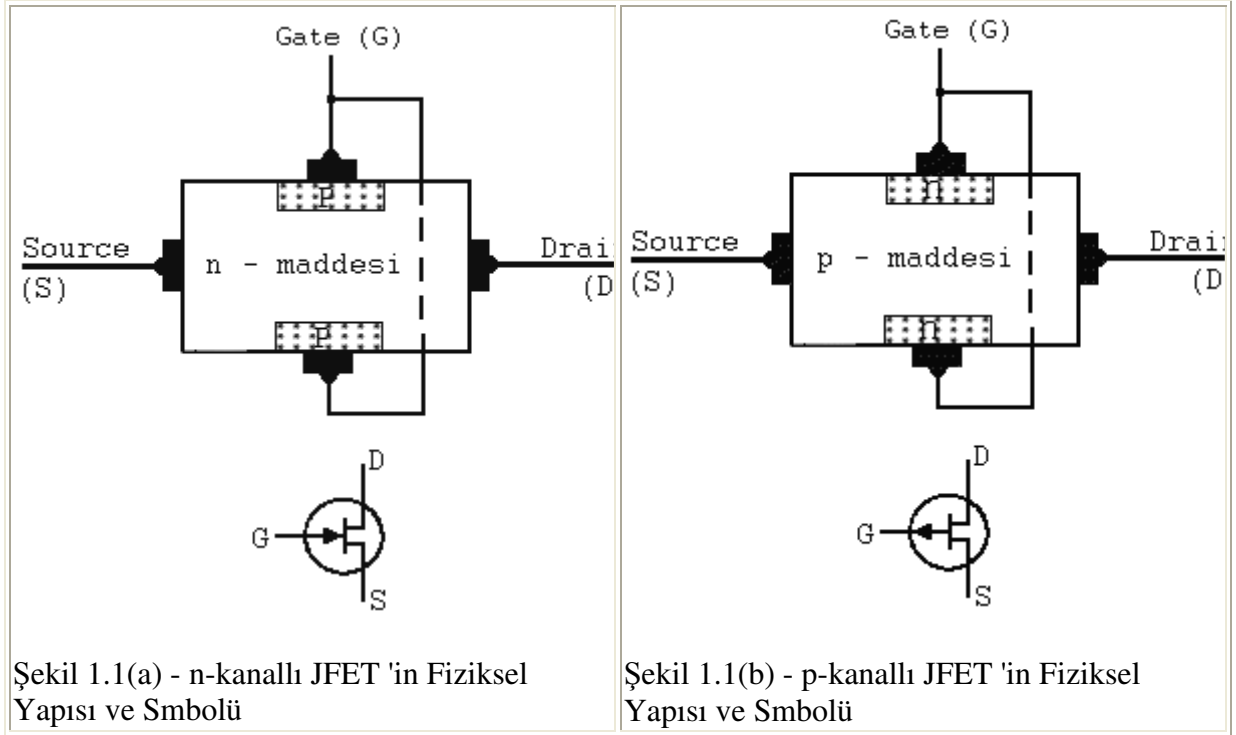
JFET 'in Çalışması

BJT 'lerde olduğu gibi JFET 'lerde de 3 terminal vardır. Bunlar; Drain (Oluk, Akaç), Source (Kaynak) ve Gate (Kapı, Geçit) dir. Transistörlerde, kollektörün karşılığı drain, emiterin karşılığı source, beyzin karşılığı gate 'dir. Transistörler nasıl NPN ve PNP tipi olmak üzere iki tipte ise JFET 'ler de;

* n - kanallı JFET

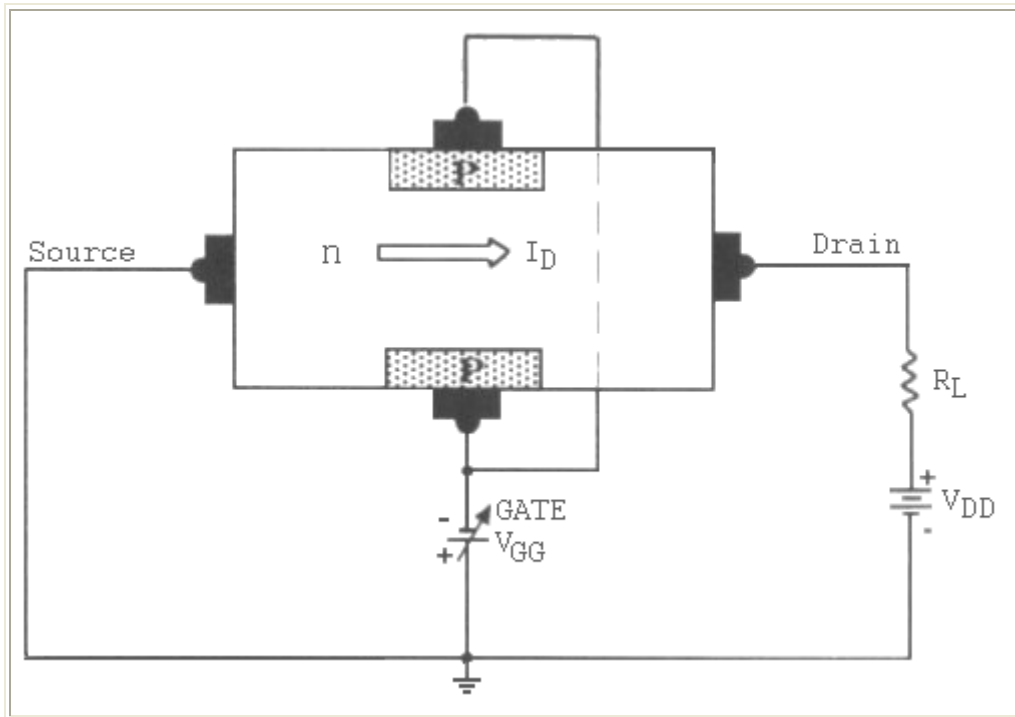
* p - kanallı JFET

olmak üzere iki tipte imal edilirler.



Şekil 1.1.(a) 'da görüldüğü gibi n-tipi bir maddenin iki yanına p-tipi madde enjekte edilerek n-kanallı JFET elde edilir. İki p-tipi madde birleştirilerek gate ucu çıkarılır. n-tipi maddenin bir ucu Drain, diğer ucu da Source 'dur. Burada gövde n-tipi maddeden meydana geldiği için JFET 'in adı n-kanalıdır. Gövdenin yapıldığı maddenin adı JFET 'in tipini belirler. JFET 'in çalışmasında n-kanallı üzerinde durulacaktır

Aynı şekilde eğer gövde p-tipi maddeden oluşursa p-kanallı JFET elde edilmiş olur. (Şekil 1.1.(b)) Sembollerden de anlaşılacağı gibi ok yönü gate 'e doğru ise n-kanallı, gate 'ten dışarı doğru ise p-kanallı JFET 'tir.

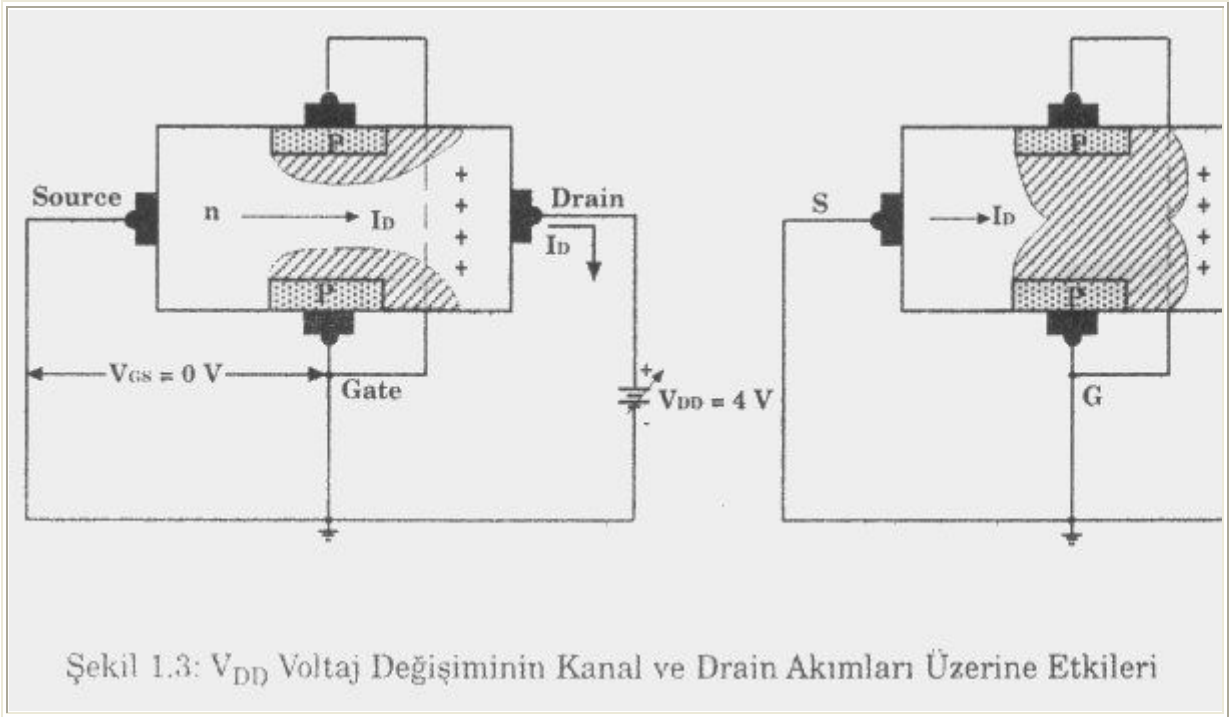


Şekil 1.2 - JFET 'in çalışması

Şekil 1.2 'de n-kanallı bir JFET 'in uygun çalışma için harici güç kaynaklarına nasıl irtibatlandırıldığı gösterilmiştir. Drain, R_L yük direnci üzerinden V_{DD} drain güç kaynağının pozitif terminaline, Source V_{DD} 'nin negatif terminaline irtibatlandırılır. Gate, V_{GG} güç kaynağının negatif terminaline bağlanır. Bu irtibatla Gate-Source p-n eklemi ters biaslanmıştır yani polarmalandırılmıştır. Gate p- maddesinden oluştuğu için V_{GG} güç kaynağının (-) terminali gate 'e, (+) terminali source 'a bağlanarak ters polarma sağlanmıştır. Gate 'in ters polarmalanmasıyla devreden akan gate akımı son derece küçük değerdeki bir ters akımdır.

I_D drain akımı, JFET üzerinde source 'den drain 'e doğru akar. (Akımın, güç kaynaklarının (-) terminalinden, (+) terminale dolaştığı kabul edilmiştir.)

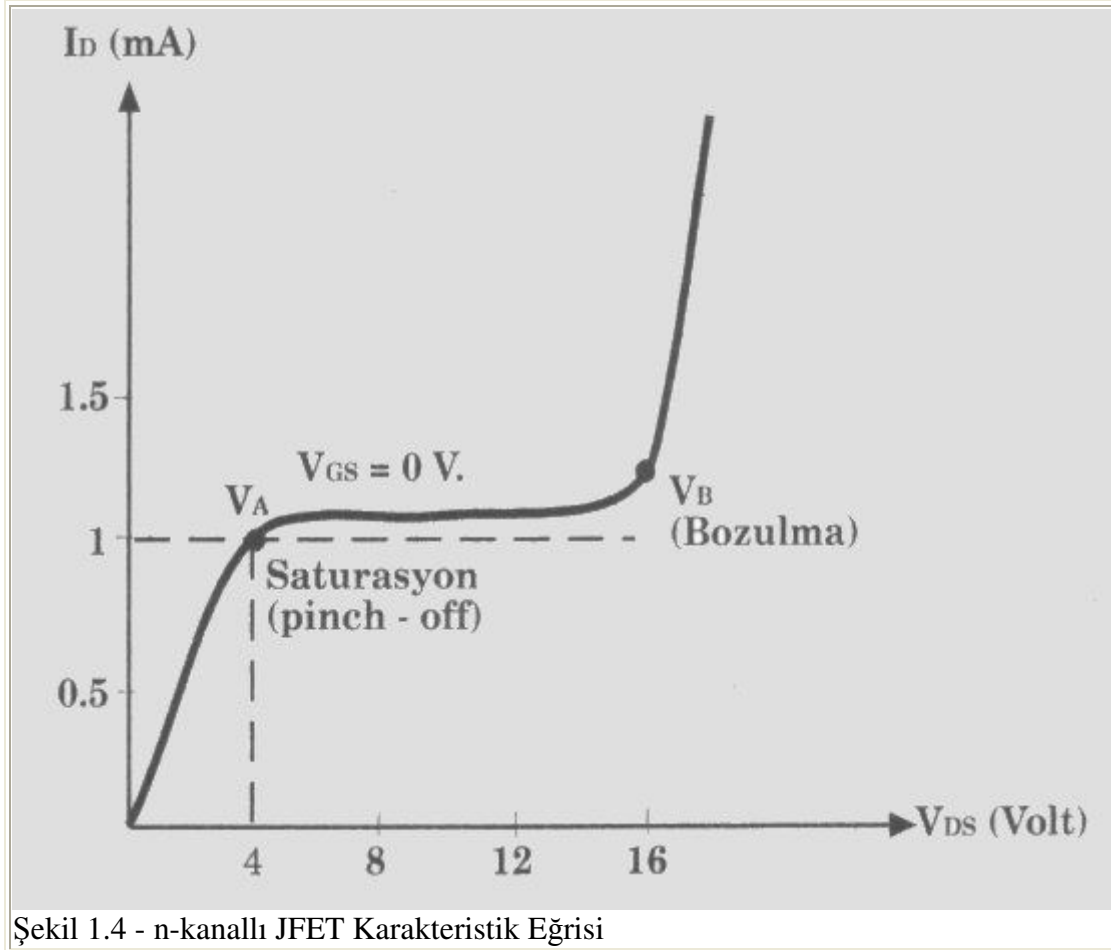
İlk durumda V_{GG} güç kaynağının olmadığını, gate ucunun doğrudan şaseye bağlı olduğunu düşünelim, Bu durumda $V_{GS}=0V$ olduğu için Gate-Source arası voltaj da (V_{GS}) 0 Volt 'tur. Bu anda I_D akımı, n-tipi maddenin direnci ve R_L tarafından limitlenir. JFET üzerinden drain akımı (I_D) arttıkça n-madde parçası boyunca bu gerilim düşümü meydana gelir. Bu gerilim, source 'a göre pozitif olup, gate p-n eklemeni ters polarmalanmıştır.



p-n eklemi ters polarmalandığı her durumda, eklem civarında; içinde akım taşıyıcıları bulunmayan bir boşluk bölgesi (eklem setti) meydana gelir. Bu durum Şekil 1.3 'te p maddelerinin çevresinde gösterilmiştir. p maddelerinin çevresindeki boşluk bölgesinde akım taşıyıcıları olmadığından I_D drain akımı akamaz. Böylece, drain akımı boşluk bölgeleri arasındaki sahada sınırlandırılmış olunur. Bu bölge kanal olarak adlandırılır. V_{DD} kaynak voltajı arttıkça drain akımı da artar. Fakat bu artış doğrusal değildir. Bu artışın doğrusal olmamasının nedeni, gate p-n eklemesindeki ters polarmalanmasının artmasındandır.

Şekil 1.3 'te $V_{DD} = 4$ Volt iken boşluk bölgesi ile $V_{DD} = 6$ Volt iken boşluk bölgesinin durumu görülmektedir. V_{DD} drain kaynak voltajının daha fazla arttırılması ($V_{DD} = 6V$) Şekil 1.3 'te görüldüğü gibi boşluk bölgelerinin birbirine daha fazla yaklaşmasına neden olur. Böyle bir durumda drain kaynak voltajının daha fazla arttırılması I_D drain alımında çok az bir artış meydana getirir.

Böylece drain akımı saturasyona (doyum) ulaşmış olur. Drain akımının saturasyon değerine ulaştığı noktaya PINCH - OFF noktası denir. Pinch - off nokasına kritik gerilim adı da verilebilir. V_P ile gösterilir. Bu değer n-kanallı JFET 'te negatif, p-kanallı da ise pozitif değerdir.



Şekil 1.4 - n-kanallı JFET Karakteristik Eğrisi

Şekil 1.4 'te gösterilen karakteristik eğrinin yatay eksenini Drain - source arası voltajı, dikey eksenini ise I_D drain akımını gösterir. Şimdi JFET 'in çalışmasını bu karakteristik eğri üzerinde tekrar edelim;

**Gate - Source gerilimi (V_{GS}) Şekil 1.2 'de olduğu gibi V_{GG} bataryası ile sağlanırsa JFET 'ten I_D akımı akar. Gate - Source eklemi V_{GG} bataryası ile ters polarmalandığı için gate akımı $I_G=0$ olur.

**Şekil 1.3 'te olduğu gibi gate - source arası voltaj 0 Volta ayarlandığında I_D drain akımı önemli bir büyüklüktedir ve I_{DSS} olarak adlandırılır. ($I_{DSS} =$ Gate - Source eklemi kısa devre olduğunda Drain - Source arasında akan akım) V_{DS} , sıfırdan itibaren yaklaşık 4 Volta kadar arttırıldığında I_D akımında artar. Karakteristik egride V_A noktası kanal pinch - off noktasıdır. I_{DSS} değeri de yaklaşık 1mA 'dir.

**Pinch - off noktasından itibaren V_{DS} voltaj değişime karşılık I_D akım değişimi çok çok

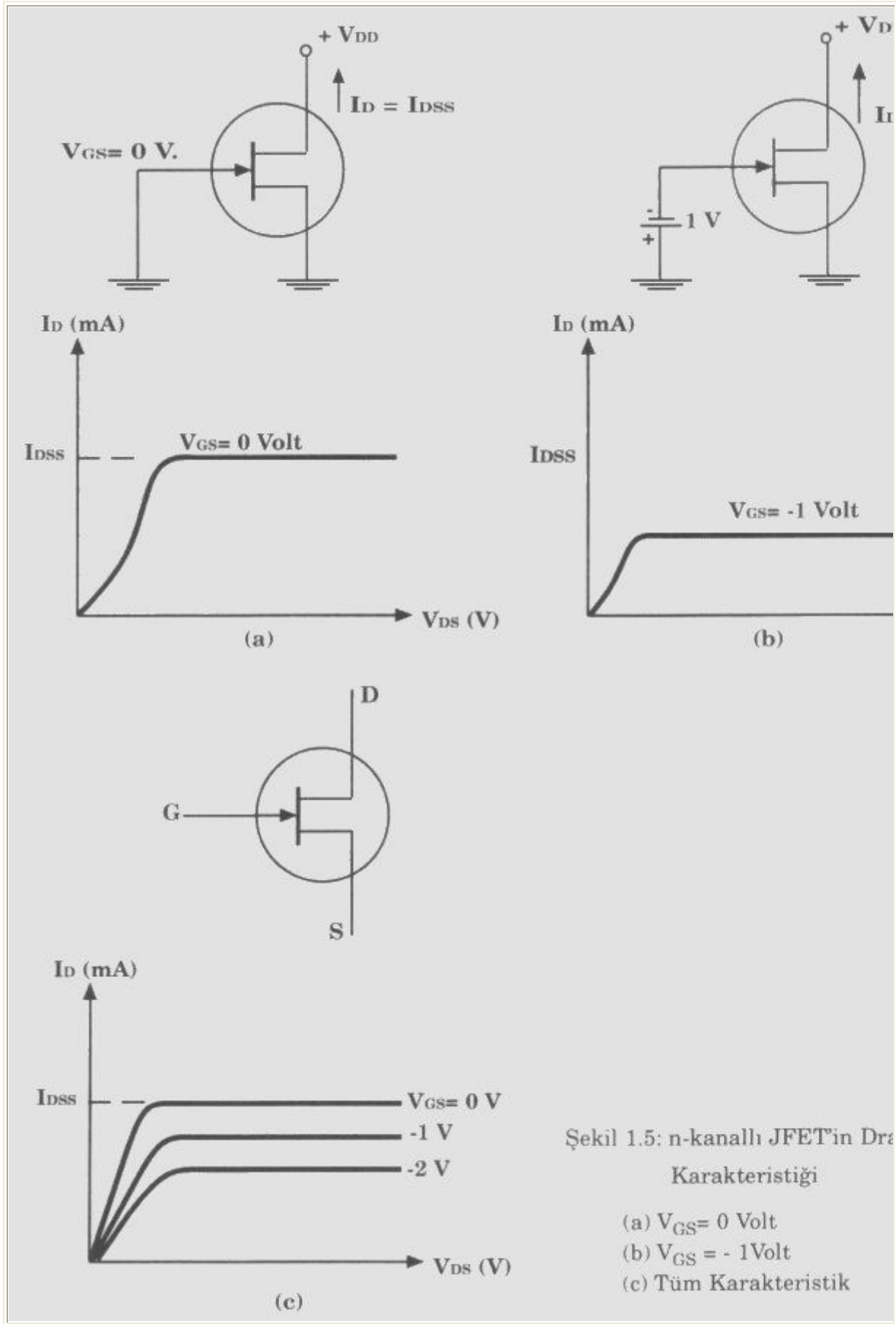
azdır. Bu ana saturasyon (doym) denir.

**Eğer drain kaynak voltajı daha fazla arttırılırsa, ters polarmalı gate eklemının bozulma olayı (breakdown) meydana gelir. Bu ise yüksek bir I_D akımına neden olarak JFET hasara uğrar.

JFET 'in Karakteristiđi

Drain - Source Karakteristiđi:

Bu karakteristik eğri drain akımının (I_D), drain - source gerilimine (V_{DS}) göre bir grafiđi olduğundan, drain karakteristiđi adımda almaktadır.

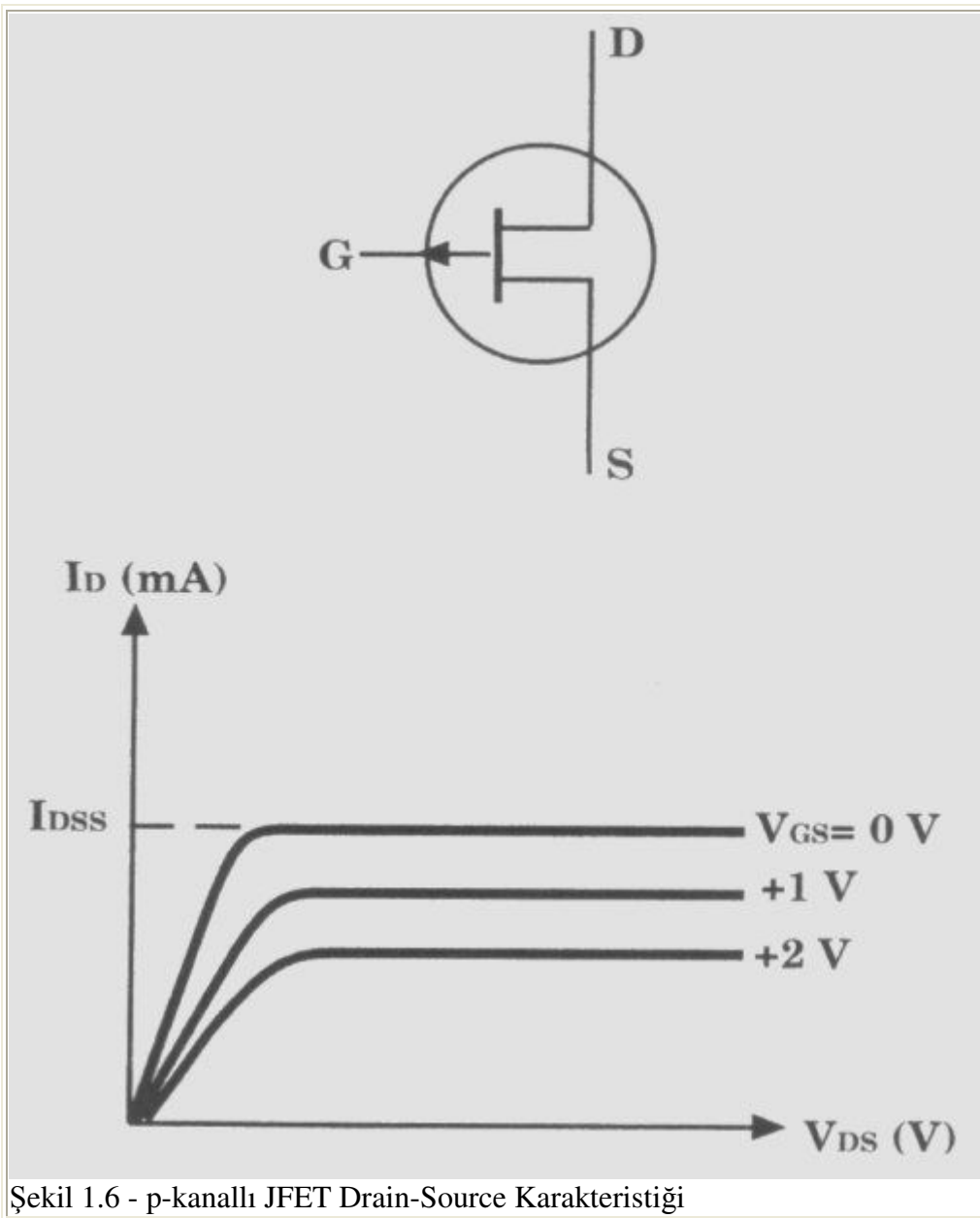


Şekil 1.5: n-kanallı JFET'in Drain Karakteristiği
 (a) $V_{GS} = 0\text{ Volt}$
 (b) $V_{GS} = -1\text{ Volt}$
 (c) Tüm Karakteristik

$V_{GS}=0$ Volt için çizilen eğride, V_{DS} arttıkça drain akımının doyum düzeyine kadar arttığı görülmektedir. $V_{GS}=0$ için bu doyum akımı I_{DSS} olarak adlandırılır. Başka bir ifadeyle I_{DSS} akımı, gate - source eklemi kısa devre olduğunda drain - source arasında akan akımdır.

Gate source gerilimi $V_{GS} = -1V$ 'a ayarlandığında V_{DS} yükseldikçe akım, doyuma ulaşınca kadar artar. Fakat bu seviye $V_{GS} = 1V$ 'dan dolayı kısmen oluşmaya başlayarak boşluk bölgesi, drain-source akımının daha düşük bir düzeyinde tamamıyla oluşur.

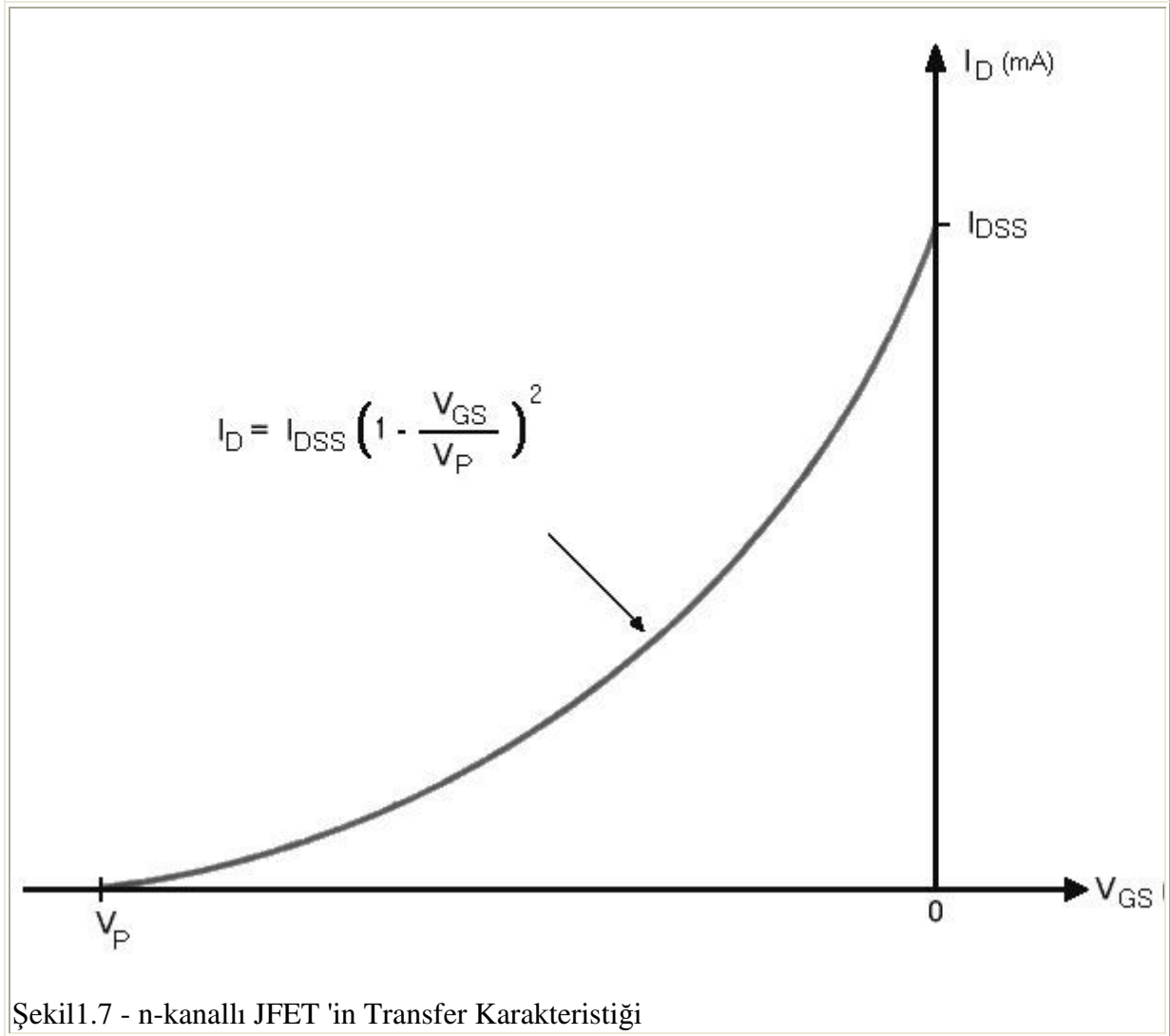
Şekil 1.15 (c) de çizilen drain - source karakteristiği çeşitli V_{GS} değerlerini (0,-1,-2..... volt) kapsayan bir eğriler grubudur. Gate terminaline uygulanan ters polarma, gövde de boşluk bölgesi oluşturur. Bu ters gerilimin negatifliği büyüdükçe kanal direnci artar, gövdeden geçen I_D akımı küçülür. V_{GS} daha da arttırıldığında, JFET 'ten herhangi bir I_D akımı akmaz, I_D sıfıra iner, I_G sıfır olur ve JFET elemanı tümüyle kapanır.



P-kanallı JFET 'in drain - source karakteristiği Şekil 1.6 'da gösterilmiştir. n-kanallıdan farkı V_{GS} voltajlarının pozitif olmasıdır. Anlatılanlar p-kanallı JFET için de geçerlidir.

JFET 'in Transfer Karakteristiği

JFET elemanın transfer karakteristiği, sabit bir drain - source gerilimi V_{DS} için gate -source V_{GS} geriliminin bir fonksiyonu olarak I_D drain akımının grafiğidir.



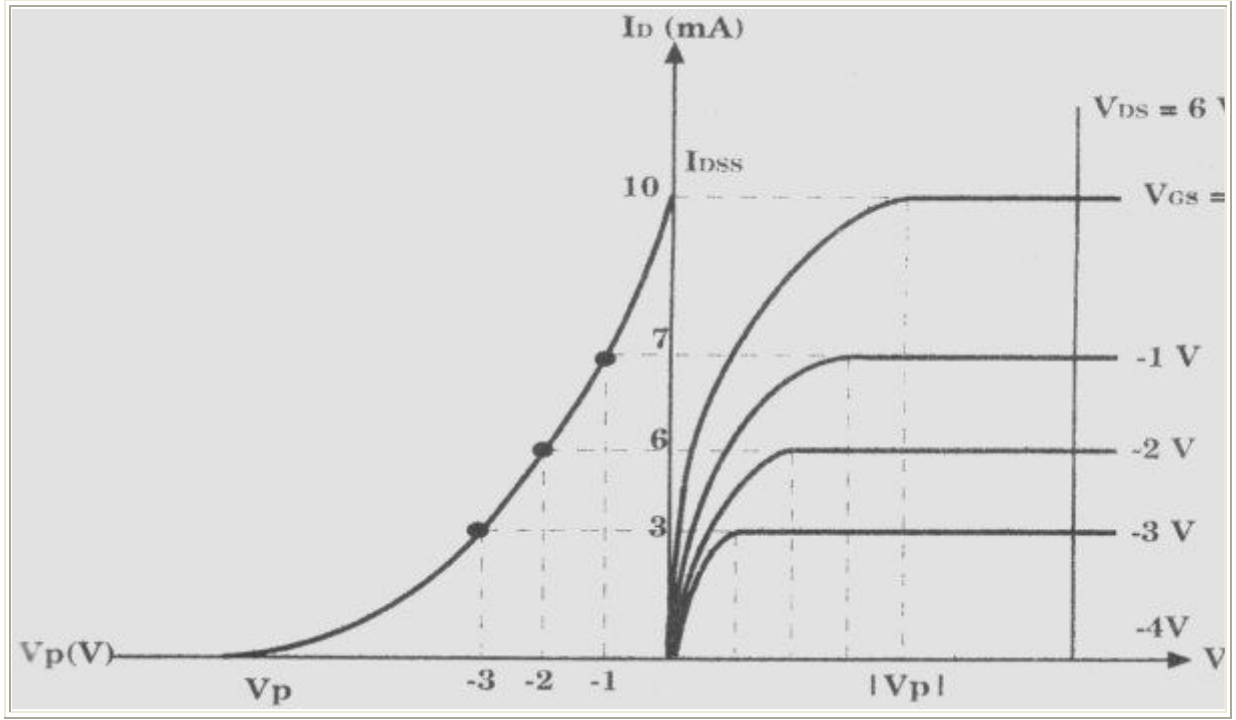
Şekil 1.7 - n-kanallı JFET 'in Transfer Karakteristiği

Şekil 1.7 'de görüldüğü gibi transfer eğride iki önemli noktada I_{DSS} ve V_P değerleridir. Herhangi bir noktadaki I_D akımı şöyle hesaplanabilir:

$$I_D = I_{DSS} \left[1 - \left(\frac{V_{GS}}{V_P}\right)\right]^2$$

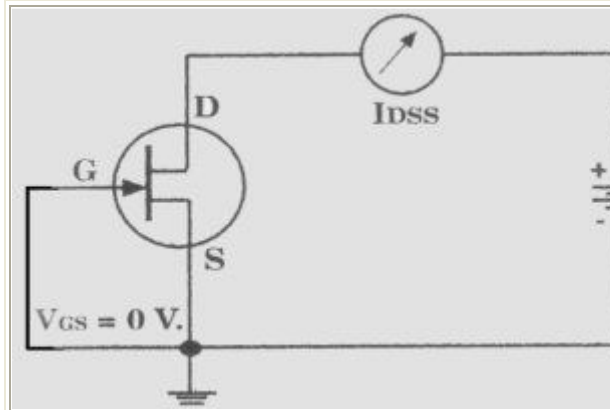
Transfer karakteristik eğrisinden görüldüğü gibi $V_{GS} = 0$ 'da $I_D = I_{DSS}$ ve $I_D = 0$ 'da $V_{GS} = V_P$ 'dir. V_P değerinde, I_D akımı akmadığı için JFET tamamıyla kapalıdır. Burada V_P aynı zamanda pinch-off değeridir.

Transfer karakteristik eğrisini çıkarmak için çeşitli metodlar vardır;

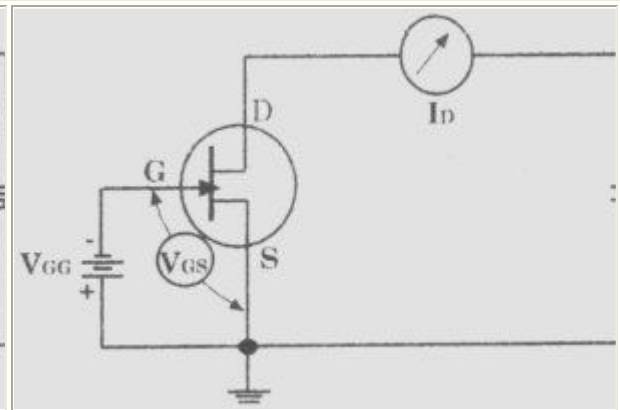


Şekil 1.8 'de görüldüğü gibi transfer karakteristik eğrisi, V_{DS} değerinin tüm eğrileri kapsadığı bir değerde olmalıdır. Yani, bu transfer eğride eğer $V_{DS} = 6$ Volt seçilirse; $V_{DS} = 6$ Volt doğrusunun kestiği tüm noktalar kritik bölgede olması gerekir. Örneğin; $V_{DS} = 6$ Volt doğrusunun $V_{GS} = 0$ Volt eğrisini kestiği noktada $I_D = I_{DSS} = 10\text{mA}$ 'dir. $V_{DS} = 6$ Volt doğrusunun, $V_{GS} = -2$ Volt eğrisini kestiği noktada $I_D = 6\text{mA}$ 'dir. Bu noktalardan geçen parabol JFET 'in transfer karakteristik eğrisini verir.

Belirli bir JFET elemanlarının çalışmasını tanımlamak için kullanılan parametrelerden birisi I_{DSS} ve V_P değerleridir.



Şekil 1.9 - I_{DSS} Değerini ölçmek için kullanılan devre



Şekil 1.10 - V_P Değerini ölçmek için kullanılan devre

Şekil 1.19 'da I_{DSS} değerini ölçmek için kullanılan devre gösterilmiştir. Gate terminalinin source ile birleştirilerek şaseye bağlanması V_{GS} voltajının sıfıra ayarlanması demektir. V_{DD} kaynak gerilimi, ampermetrede okunun I_D 'nin yükselişi durana kadar artırılır ve ulaşılan seviye I_{DSS} değeri olarak kabul edilir.

Şekil 1.10 'daki devre ise V_P değerini bulmak için kullanılan bir devredir. V_{GS} kaynak voltajı, I_D akımı sıfıra çok yakın olana kadar sıfırdan daha büyük negatif değerlere doğru ayarlanır. Drain akımının sıfır olmasını sağlayan minimum V_{GS} gerilimi aynı zamanda V_P değeridir.

Bu şekilde I_{DSS} ve V_P değerleriyle JFET analizlerinde kullanılmak üzere bir transfer eğrisi çizilebilir.

Bu açıklamalardan sonra n-kanallı bir JFET elemanın transfer karakteristiğini, yatay eksenini $0V$ 'tan V_P 'ye uzanan negatif değerleri ve dikey eksenini 0 'dan I_{DSS} 'ye uzanan, I_D akımını temsil eden koordinatlar ekseninde çizilebilir. Örneğin $V_P = -6$ Volt ve $I_{DSS} = 12$ mA için bir transfer eğrisi çizelim

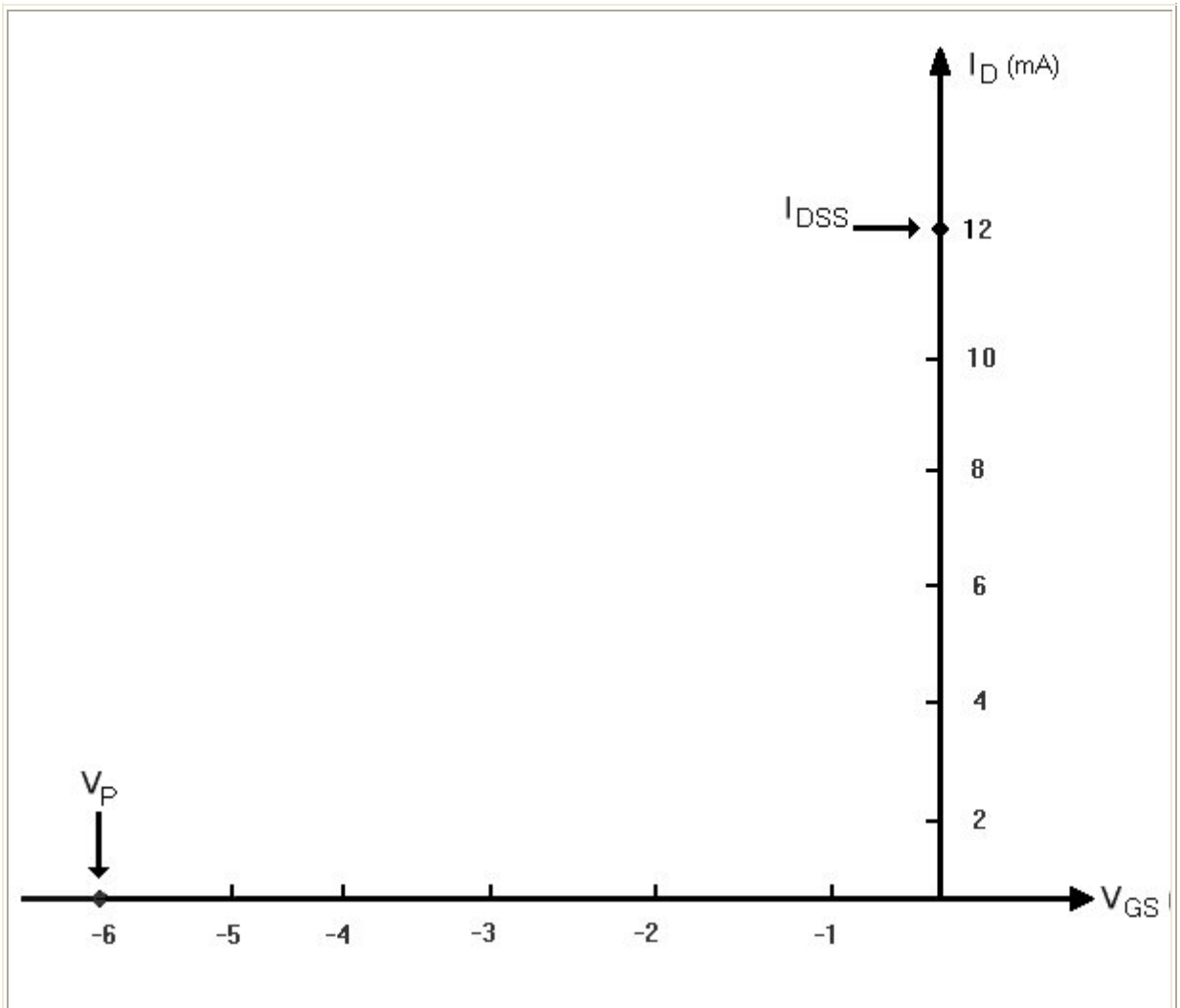
$I_{DSS} = 12$ mA dikey ekseninde ($V_{GS} = 0$ Volt)

$V_P = -6$ Volt yatay ekseninde ($I_D = 0$ mA)

Bu değerleri $I_D = I_{DSS} [1 - (V_{GS}/V_P)]^2$ denkleminde yerine koyarsak yine;

$V_{GS} = 0$ Volt için, $I_D = 12$ mA $[1 - (0/V_P)]^2 = 12$ mA

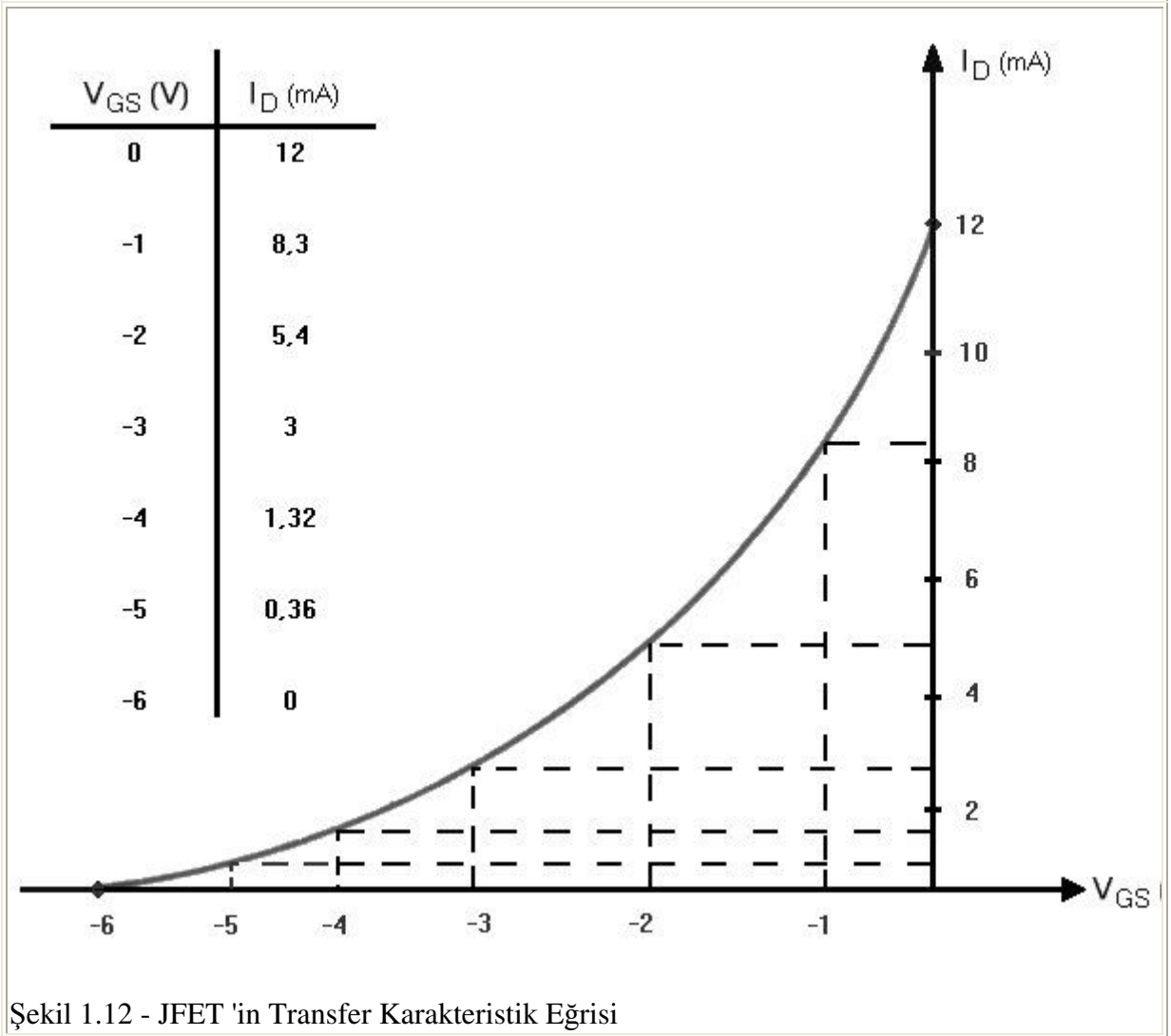
$I_D = 0$ mA için, $0 = 12$ mA $[1 - (V_{GS}/-6V)]^2 = -6$ Volt



Şekil 1.11 - Koordinatlar Ekseninde I_{DSS} ve V_P Değerlerinin işaretlenmesi

I_{DSS} ve V_P gibi iki önemli nokta koordinatlar ekseninde işaretlendikten sonra V_{GS} 'nin çeşitli değerlerinde I_D akımı bulunur.

$V_{GS} = 0$ Volt için	$I_D = 12$ mA idi.
$V_{GS} = -1$ Volt için	$I_D = 12 [1 - (-1/-6)]^2 = 8,3$ mA
$V_{GS} = -2$ Volt için	$I_D = 12 [1 - (-2/-6)]^2 = 5,4$ mA
$V_{GS} = -3$ Volt için	$I_D = 12 [1 - (-3/-6)]^2 = 3$ mA
$V_{GS} = -4$ Volt için	$I_D = 12 [1 - (-4/-6)]^2 = 1,32$ mA
$V_{GS} = -5$ Volt için	$I_D = 12 [1 - (-5/-6)]^2 = 0,36$ mA
$V_{GS} = -6$ Volt için	$I_D = 12 [1 - (-6/-6)]^2 = 0$ mA



Şekil 1.12 - JFET 'in Transfer Karakteristik Eğrisi

Özet olarak JFET 'in transfer eğrisini çizmek için 0 ile V_P arasında iki veya üç gerilim değeri seçilerek bulunabilir. Koordinatlar ekseninde her bir V_{GS} değerine karşılık gelen I_D değeri işaretlendikten sonra bu noktalar birleştirilerek transfer eğrisi elde edilir. Doğal olarak V_{GS} 'nin sıfır ile V_P arasındaki nokta sayısı daha fazla olursa çizilecek transfer eğrisi, daha çok noktaların birleşiminden meydana geleceği için daha hassas olur.

Fetlerin Parametreleri

JFET 'e uygulanan voltajların değiştirilmesiyle, JFET 'in gösterdiği davranışa Parametre denir. Başka bir deyişle JFET karakteristiği veya sabitleridir. Üretici firmalar, elemanı tanımlamak ve farklı elemanlar arasında seçim yapabilmek için gerekli olan bilgileri kataloglarda belirtirler.

JFET parametreleri şunlardır:

a) Drain - Source doyma akımı (I_{DSS}): Gate - Source eklemi kısa devre yapıldığında Drain - Source arasından akan akımdır.

b) Gate - Source kapama gerilimi (kritik gerilim, V_P): Drain - Source kanalının kapandığı (hiç akım geçirmediği) gerilim değeri V_P ile gösterilir. V_P değerini ölçebilmek için kullanılan devre Şekil 1.10 'da verilmiştir. Bu parametreye V_{GS-off} 'da denir.

c) Gate - Source kırılma gerilimi ($B V_{GSS}$): Bu parametre belirli bir akımda drain - source kısa devre iken ölçülür. Uygulamada bu değerin üzerine çıkılması halinde eleman hasar görebilir.

d) Geçiş İletkenliği (g_m): JFET 'ler sabit akım elemanı olduğundan drain voltajındaki değişiklikler drain akımında çok fazla bir değişiklik yapmaz, Genelde drain akımı gate voltajı ile kontrol edilir. Bu nedenle JFET 'lerin önemli parametrelerinden biri, drain akım değişimine göre gate voltaj değişimidir. Bu parametre geçirgenlik (transconductance - g_m) olarak bilinir.

Geçirgenlik, V_D sabit iken drain akım değişiminin, gate - source arası voltaj değişimine oranıdır.

$$g_m = \Delta I_D / \Delta V_{GS} (V_{DS} = \text{Sabit})$$

Geçirgenlik, direncin tersi olduğu için birimi (MHO) veya Siemens 'tir.

$$g_m = (2 \cdot I_{DSS} / |V_P|) [1 - (V_{GS}/V_P)]$$

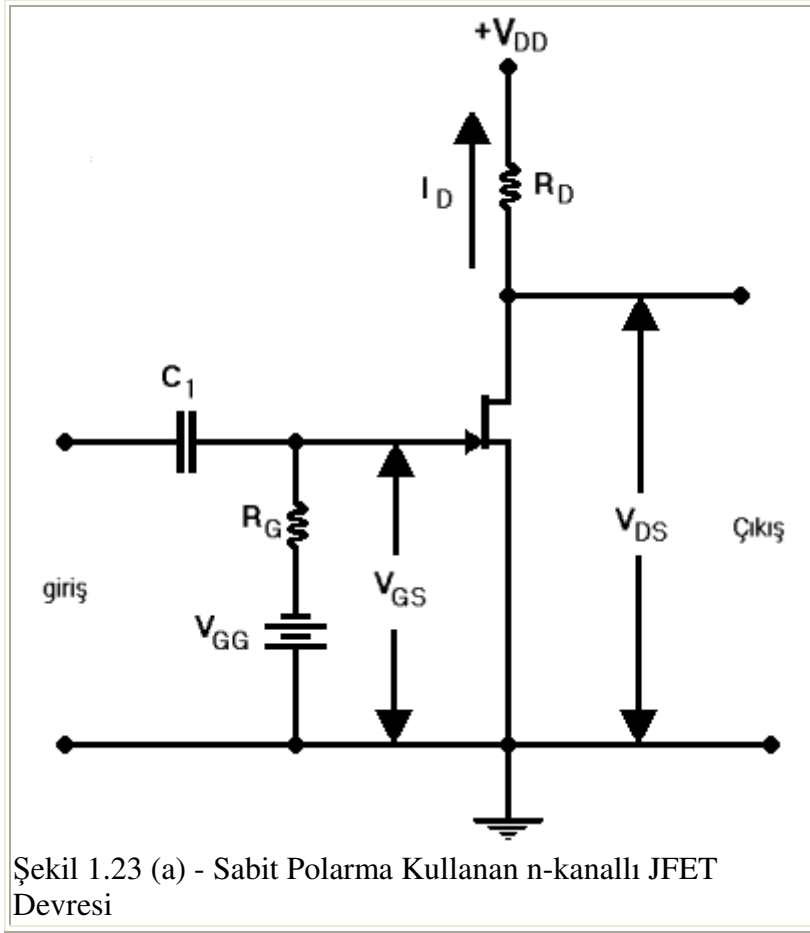
$$g_m = (2 \cdot I_{DSS} / |V_P|) \sqrt{I_D/I_{DSS}}$$

formülleri ile de JFET 'in geçirgenliği hesaplanabilir.

e) Drain - Source iletim direnci (r_{ds}): Bu parametre, belirli bir gate - source gerilimi ve drain akımından ölçülen gerilim drain -source iletim direnci, JFET 'in anahtar olarak kullanılmasında önem taşır. Bu değer, on ila birkaç yüz arasında değişir.

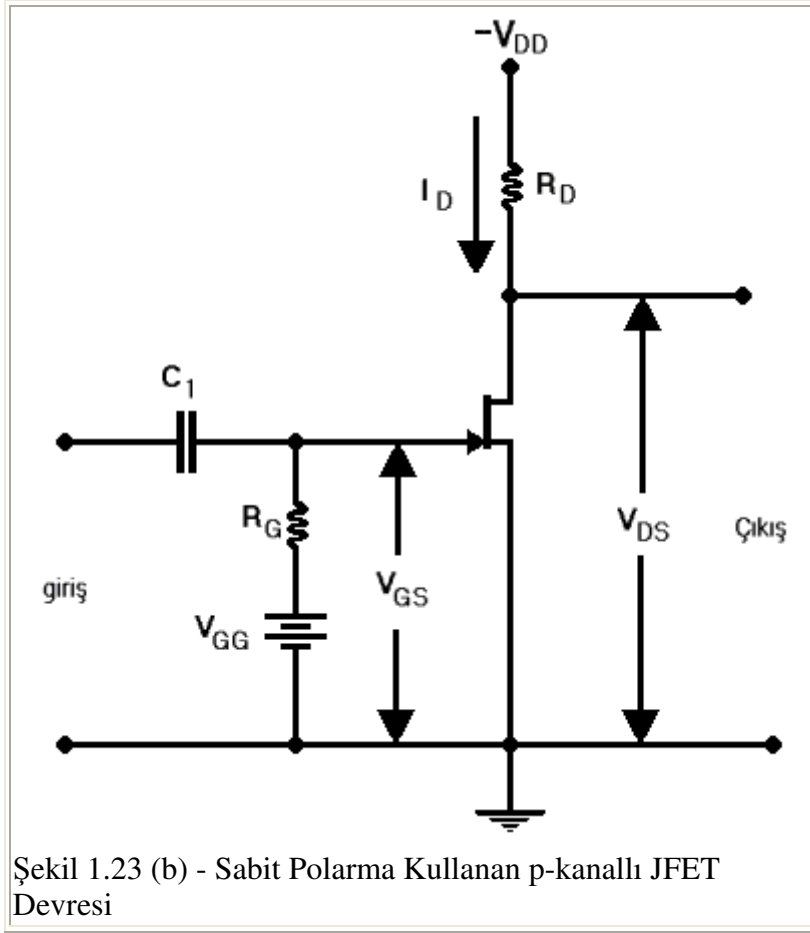
JFET 'in Polarmalandırılması

a) Sabit Polarma



Şekil 1.23 (a) - Sabit Polarma Kullanan n-kanallı JFET Devresi

Şekil 1.23 (a) ve (b) 'deki gibi kullanılan JFET devrelerine sabit (fixed) polarmalı devreler adı verilir. Çünkü, gate ve source uçları arasında V_{GG} gibi sabit bir güç kaynağı kullanılmıştır. n-kanallı JFET 'in gate terminaline, V_{GG} 'nin (-) kutbu; p-kanallı JFET 'in gate terminaline ise (+) kutbu irtibatlandırılmalıdır. Dikkat edilmesi gereken başka bir husus, n kanallı JFET 'in drain terminaline V_{DD} güç kaynağının (+) ucu, p-kanallıda ise (-) ucu uygulanmalıdır.



Şekil 1.23 'teki devreler yükselteç olarak kullanılabilir. Yükseltilecek sinyal C kuplaj kondansatörü vasıtasıyla JFET 'in gate 'ine uygulanır. JFET 'in drain ucundan ise sinyal yükseltilmiş olarak alınır. Devrede source terminali, hem giriş hem de çıkış için ortak kullanıldığı için devrenin adı da Source 'u Ortak Yükselteç 'tir. Emiteri ortak yükselteç devresine benzer. Emiteri ortak yükselteçte giriş transistörün beyzine uygulanırken, çıkış kollektörden alınır.

Bu devrelerde gate-source terminalleri V_{GG} güç kaynağı ile ters bayaşlanmıştır yani polarlandırılmıştır. V_{GG} kaynağı JFET 'i öngerilimleyecek V_{GS} gerilimi sağlar. Fakat, V_{GG} kaynağından akım çekilmez.

R_G direnci, C kuplaj kondansatörü üzerinden uygulanacak herhangi bir AC sinyalinin R_G üzerinde arttırılmasını sağlamak için eklenmiş olup, AC sinyalin R_G üzerinde artmasıyla birlikte R_G direnci üzerindeki DC gerilim düşümü,

$$V_{RG} = I.R = 0 \text{ Volt olur.}$$

Gate - Source gerilimi (V_{GS}) ise,

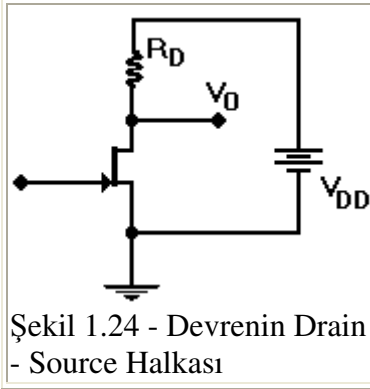
$$V_{GS} = V_G - V_S = V_{GG} - 0 = V_{GG} \text{ olarak bulunur.}$$

Drain akımı;

$$I_D = I_{DSS} [1 - (V_{GS}/V_P)]^2 \text{ formülü ile bulunabilir.}$$

Drain akımı, R_D direnci üzerinde bir gerilim düşümüne sebep olup, değeri, $V_{RD} = I_D \cdot R_D$ ile bulunur.

Şekil 1.23 (a) 'daki devrede sadece drain-source kısmını göz önüne alırsak, devre şekli aşağıdaki gibi olur.



Şekil 1.24 'teki devre çıkış, drain terminalinden alınmış olup Şekil 1.23 'teki devreden herhangi bir farkı yoktur. Devreye tatbik edilen voltaj, elemanların üzerine düşen voltajların toplamına eşit olduğundan;

$V_{DD} = I_D \cdot R_D + V_{DS}$ 'dir. Burada V_{DS} değeri aynı zamanda çıkış voltajı (V_o) olduğu için;

$V_{DS} = V_{DD} - I_D \cdot R_D$ formülü bulunur.

Şekil 1.24 - Devrenin Drain - Source Halkası

Bunun, transistörlerdeki $V_{CE} = V_{CC} - I_C \cdot R_C$ formülünden de hiç farkı yoktur. Bu formülden drain akımını çekersek;

$$I_D \cdot R_D = V_{DD} - V_{DS}$$

$I_D = (V_{DD} - V_{DS}) / R_D$ formülü bulunur.

Acaba, JFET devrelerindeki R_D drain yük direncinin görevi nedir? (Transistörlü devrelerdeki, R_C kollektör yük direnci için de geçerli)

Çıkıştan alınan voltaj, $V_{DS} = V_{DD} - I_D \cdot R_D$ idi.

R_D direnci olmasaydı;

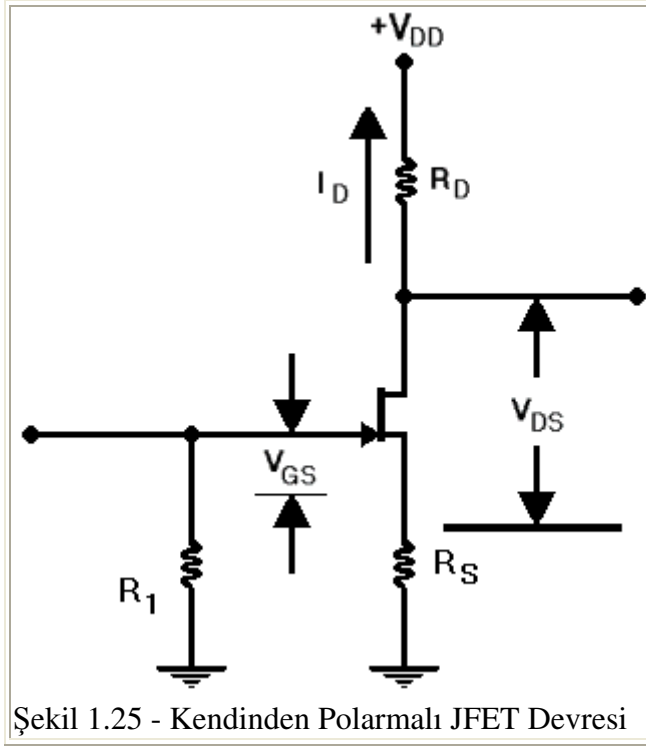
$$V_{DS} = V_{DD} - I_D \cdot R_D / 0 ; R_D = 0$$

$V_{DS} = V_{DD}$ olurdu. Yani, çıkıştan alınan voltaj, daima V_{DD} güç kaynağı değerine eşit olacaktı. Girişte yükseltmek üzere bir AC sinyal uyguladığımız halde, çıkıştan V_{DD} güç kaynağının değerini görecektik. Dolayısıyla yükselteç devresi, yükselteç gibi çalışmayacak girişine uygulanan sinyalleri yükseltmeyecekti.

b. Gerilim Bölücü Dirençli Polarma

Gerilim bölücü dirençli polarmaya geçmeden önce kendinden (Self) polarmalı devreleri anlatmakta fayda vardır. Self polarmalı devrelerde ikinci bir V_{GG} gibi kaynağa gerek yoktur. Gate-source gerilimini sağlamak için source direnci (R_S) kullanılır. R_S direnci, transistörlü yükselteçlerde R_E direncine benzer. Self polarmalı JFET devresi Şekil 1.25 'te gösterilmiştir. R_G gate direnci, R_S source direnci, R_D ise drain direncidir. Transistörlü yükselteçte;

$R_G \rightarrow R_B$, $R_S \rightarrow R_E$, $R_D \rightarrow R_C$ veya R_L 'nin karşılığıdır.



Şekil 1.25 'teki devrede devre tek bir kaynaktan beslenmekte olup, bu kaynak V_{DD} 'dir. Bu devrede gate-source üzerinden hiç gate akımı akmayacağından $I_G = 0$ 'dır. Bu nedenle kapı gerilimi;

$$V_G = I_G.R_G = 0.R_G = 0 \text{ Volt 'tur.}$$

Drain akımı ile source akımı birbirine eşit olduğundan ($I_D = I_S$), source ile şase arasındaki gerilim V_S , R_S direnci üzerindeki gerilim düşümü kadardır. Source 'daki gerilim;

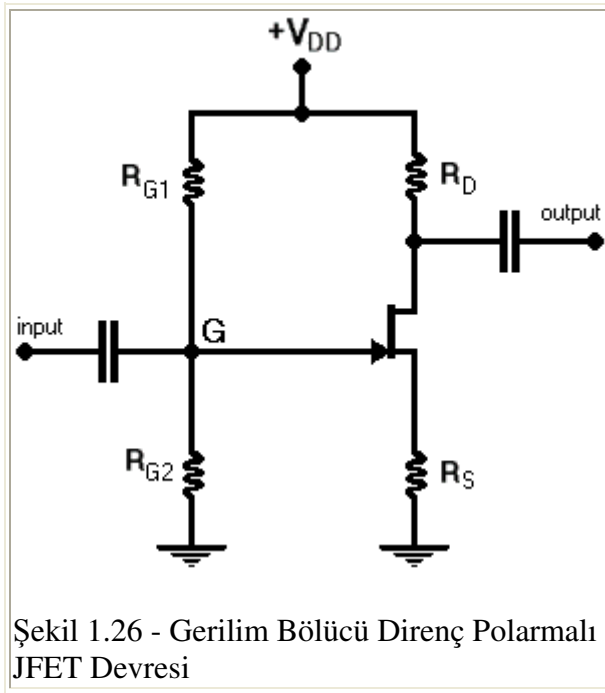
$$V_S = I_D.R_S \text{ olur.}$$

Gate-source gerilimi;

$$V_{GS} = V_G - V_S = 0 - I_D.R_S$$

$$V_G = -I_D.R_S \text{ olur.}$$

Bu özet bilgilerden sonra gerilim bölücü dirençli polarmaya geçebiliriz.

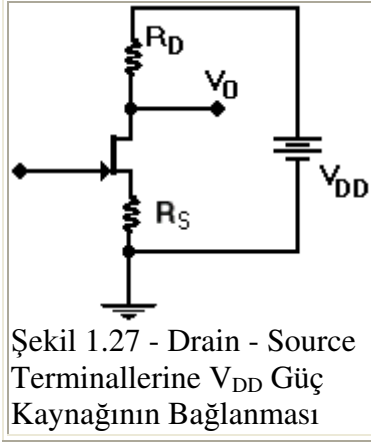


Şekil 1.26 'daki devrede, gate gerilimi R_{G1} ve R_{G2} gerilim bölücü dirençler tarafından belirlenir. R_{G1} ve R_{G2} dirençlerinin bağlandığı noktadaki gerilim aynı zamanda gate gerilimidir. R_{G1} 'den geçen akım R_{G2} 'den de geçer. G noktasındaki V_G gate gerilimi;

$V_G = R_{G2} / (R_{G1} + R_{G2}).V_{DD}$ kadardır. Buradaki $V_{DD} / (R_{G1} + R_{G2})$ aynı zamanda R_{G1} ve R_{G2} voltaj bölücü dirençlerden geçen akımdır. Bu akımı R_{G2} değeri ile çarparsak R_{G2} direnci üzerine düşen gerilimi buluruz. R_{G2} üzerindeki gerilim de V_G gate voltajına eşit olur. JFET öngerilimi,

$$V_{GS} = V_G - V_S = V_G - I_D.R_S \text{ olur.}$$

Devrenin drain-source halkası gözönüne alınırsa Şekil 1.27 'deki gibi bir şekil elde edilir.



Şekil 1.27 'deki devrede Kirchhoff 'un gerilimler kanununu uygularsak;

$$V_{DD} = I_D \cdot R_D + V_{DS} + I_D \cdot R_S \text{ olur.}$$

Fakat buradaki V_{DS} , JFET 'in drain-source voltajını gösterip, çıkış voltajını göstermez. Çünkü bu devrede çıkış, JFET 'in drain ucu ile şase arasından alınır. Formülü düzenlersek;

$$V_{DD} = I_D (R_D + R_S) + V_{DS} \text{ olur. Drain akımı ise;}$$

$$I_D (R_D + R_S) = V_{DD} - V_{DS}$$

$I_D = (V_{DD} - V_{DS}) / (R_D + R_S)$ olarak bulunur.

Bu formüllere göre drain voltajı yani çıkıştan alınan voltaj,

$$V_D = V_{DD} - I_D \cdot R_D \text{ olur.}$$